

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-068616

(43)Date of publication of application : 03.03.2000

(51)Int.Cl.

H05K 1/02
 H01P 5/02
 // G06F 3/00
 H01R 13/646

(21)Application number : 10-237716

(71)Applicant : NEC ENG LTD

(22)Date of filing : 24.08.1998

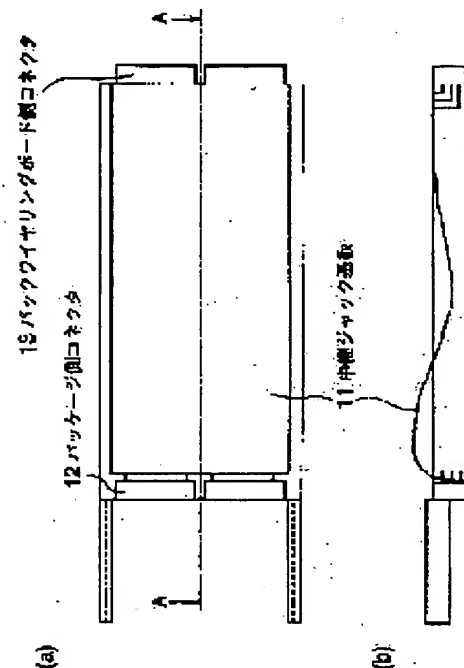
(72)Inventor : HASHIMOTO HIROSHI

(54) RELAY JACK FOR HIGH-SPEED TRANSMISSION LINE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent deterioration of a transmission signal waveform due to impedance mismatching between relay jacks at the time of evaluation of a high-speed transmission line.

SOLUTION: A relay jack substrate 11 makes impedance matching using a means, such as a microstrip or a strip line. Moreover, the substrate 11 making the above impedance matching is formed into a film substrate having a freedom to connect the substrate with a package side connector 12 and a back wiring board side connector 13, whereby the number of joints on a transmission line is lessened, impedance matching of a high-speed transmission line can be easily made and deterioration of a transmission signal waveform due to an impedance mismatching of relay jacks is prevented.



LEGAL STATUS

[Date of request for examination] 03.06.2002

[Date of sending the examiner's decision of rejection] 14.09.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2004-21378

[Date of requesting appeal against examiner's decision of rejection] 14.10.2004

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-68616
(P2000-68616A)

(43) 公開日 平成12年 3 月 3 日 (2000. 3. 3)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テマコード* (参考) |
|---------------------------|------|---------------|-------------|
| H 0 5 K 1/02 | | H 0 5 K 1/02 | P 5 E 3 3 8 |
| H 0 1 P 5/02 | | H 0 1 P 5/02 | Z |
| // G 0 6 F 3/00 | | G 0 6 F 3/00 | V |
| H 0 1 R 13/646 | | H 0 1 R 17/12 | A |

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平10-237716

(22) 出願日 平成10年 8 月 24 日 (1998. 8. 24)

(71) 出願人 000232047

日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号

(72) 発明者 橋本 博士

東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外 2 名)

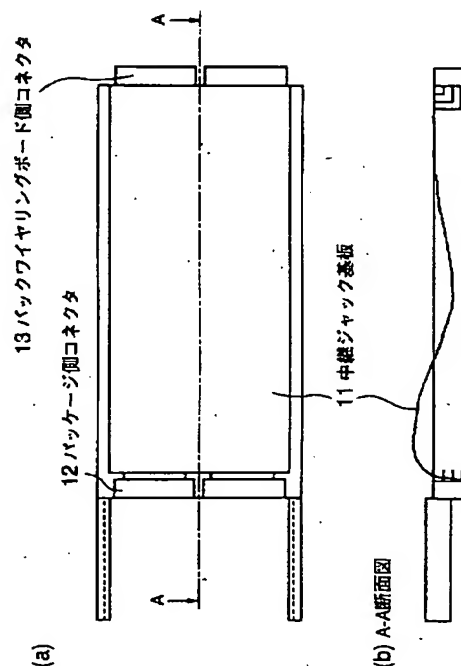
Fターム(参考) 5E338 AA12 BB75 CC02 CD33 EE13

(54) 【発明の名称】 高速伝送路用中継ジャック

(57) 【要約】

【課題】 高速伝送路の評価時において、中継ジャックのインピーダンス不整合による伝送信号波形の劣化を防ぐ。

【解決手段】 中継ジャック基板 11 は、マイクロストリップ或いはストリップライン等の手段を用いてインピーダンス整合をとる。また、上記のインピーダンス整合のとれている中継ジャック基板 11 をフィルム状の自由度のある基板にして、その基板をパッケージ側コネクタ 12 とバックワイヤリングボード側コネクタ 13 に接続することで、伝送路上の継ぎ目の数を少なくし高速伝送路のインピーダンスの整合を容易にすることができ、インピーダンス不整合による伝送信号波形の劣化を防ぐ。



【特許請求の範囲】

【請求項1】 インピーダンス整合が必要な高速伝送路の評価時にパッケージ引き出し治具として使用される高速伝送路用中継ジャックにおいて、

前記高速伝送路用中継ジャックの互いに対向するコネクタ間を接続する、インピーダンス整合のとれたフィルム状の自由度のある中継ジャック基板を有することを特徴とする高速伝送路用中継ジャック。

【請求項2】 請求項1に記載の高速伝送路用中継ジャックにおいて、

前記中継ジャック基板におけるインピーダンス整合をとる手段として、マイクロストリップが使用されていることを特徴とする高速伝送路用中継ジャック。

【請求項3】 請求項1に記載の高速伝送路用中継ジャックにおいて、

前記中継ジャック基板におけるインピーダンス整合をとる手段として、ストリップラインが使用されていることを特徴とする高速伝送路用中継ジャック。

【請求項4】 請求項1に記載の高速伝送路用中継ジャックにおいて、

前記中継ジャック基板におけるインピーダンス整合をとる手段として、マイクロストリップ及びストリップラインが使用されていることを特徴とする高速伝送路用中継ジャック。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、インピーダンス整合が必要な高速伝送路の評価時にパッケージ引き出し治具として使用される高速伝送路用中継ジャックに関する。

【0002】

【従来の技術】従来、高速伝送路の評価時にパッケージ引き出し治具として使用される中継ジャックは、図2に示すように、伝送路のインピーダンス整合がとれていないものや、図3に示すように、同軸ケーブル31にて伝送路のインピーダンス整合をとっているものもある。

【0003】図2に示した中継ジャックは、中継ジャック基板21と、パッケージ側コネクタ22と、バックワイヤリングボード側コネクタ23と、線材24とを有している。

【0004】中継ジャック基板21は、インピーダンス整合のとれていない基板である。また、線材24はラッピング（巻き付け）にて中継ジャック基板21とパッケージ側コネクタ22に接続される。

【0005】図3に示した中継ジャックは、同軸ケーブル31と、パッケージ側コネクタ32と、33はバックワイヤリングボード側コネクタ33とを有する。

【0006】また、従来の伝送路間のインピーダンス整合をとる方法として図4および図5に示す方法があった。

【0007】図4に示す方法では、同軸コネクタ42およびマイクロストリップ線路44で伝送路のインピーダンス整合をとり、同軸コネクタ42とマイクロストリップ線路44との接続をフレキシブルプリント板45で行い、さらにフレキシブルプリント板45の熱歪みを吸収するために、フレキシブルプリント板45の間に誘電体シート46を入れている（特開平2-237302号公報参照）。なお、図4において、41はケース、43は誘電体基板、47は半田である。

10 【0008】図5に示す方法では、システム装置52内のシステム装置内パッケージ55と表示装置53内の表示装置内パッケージ56との間をインピーダンス整合させ反射を低減させるため、インピーダンス整合をとれないフレキシブルプリント板51にインピーダンス整合用回路54を設け、伝送路のインピーダンス整合をとっている（特開平3-73587号公報参照）。

【0009】また、従来のフレキシブルプリント板に関連するものには、例えば、特開昭61-240278号公報、特開昭61-199690号公報、特開昭62-62585号公報がある。

20 【0010】

【発明が解決しようとする課題】図2～図5を用いて、発明が解決しようとする課題を以下に説明する。

【0011】高速信号を伝送する場合、反射による伝送信号波形の劣化を防ぐために、伝送路はインピーダンスの整合をとらなければならない。また、コネクタ等の伝送路の継ぎ目部分は、インピーダンス整合をとるのが難しいため、できるだけ継ぎ目の数は少なくしなければならない。

30 【0012】しかし、従来方法では継ぎ目の数が多いためインピーダンスの整合をとるのは非常に困難である。

【0013】そのため、伝送路上に反射が発生し波形が劣化してしまう。

【0014】図2では、中継ジャック基板21とパッケージ側コネクタ22の接続を線材24を用いラッピング（巻き付け）にて行っているため、線材24自体のインピーダンス不整合と伝送路の継ぎ目の増加により、従来の中継ジャックは、高速伝送路のインピーダンスの整合をとることは非常に困難であった。

40 【0015】図3では、同軸ケーブル31にてインピーダンス整合をとっているが同軸ケーブルを使用しているために、伝送路本数に制限がでてしまう。

【0016】図4では、同軸コネクタ42とマイクロストリップ線路44の接続をフレキシブルプリント板45で行っているために継ぎ目部分が多く、またフレキシブルプリント板45と誘電体シート46の材質が異なるために、インピーダンスの整合をとるのが難しい。

【0017】また、同軸コネクタ42を使用しているために、伝送路本数にも制限がでてくる。

50 【0018】図5では、フレキシブルプリント板51は

インピーダンスの整合がとれていないためにインピーダンス整合用回路 54 を外部に設けなくてはならず、全ての高速伝送路にインピーダンス整合用回路 54 を設けることは実装面積等による制限がでてくる。

【0019】また、フレキシブルプリント板 51 とインピーダンス整合用回路 54 の接続があるために、インピーダンスの整合をとることは困難である。

【0020】このように、フレキシブルプリント板自体にインピーダンスの整合をもたせたものは存在しない。

【0021】本発明の課題は、インピーダンス整合され 10 ている伝送路において、中継ジャック使用時における、伝送路のインピーダンス整合をとることができる高速伝送路用中継ジャックを提供することにある。

【0022】本発明のもう一つの課題は、従来品でのインピーダンス不整合要素である伝送路の継ぎ目の数を極力減らすためにフレキシブル基板を用い、さらにフレキシブル基板自体にインピーダンス整合をもたせ従来の問題点の解決を図った高速伝送路用中継ジャックを提供することにある。

【0023】

【課題を解決するための手段】本発明によれば、インピーダンス整合が必要な高速伝送路の評価時にパッケージ引き出し治具として使用される高速伝送路用中継ジャックにおいて、前記高速伝送路用中継ジャックの互いに対向するコネクタ間を接続する、インピーダンス整合のとれたフィルム状の自由度のある中継ジャック基板を有することを特徴とする高速伝送路用中継ジャックが得られる。

【0024】更に本発明によれば、前記中継ジャック基板におけるインピーダンス整合をとる手段として、マイクロストリップが使用されていることを特徴とする高速伝送路用中継ジャックが得られる。

【0025】また本発明によれば、前記中継ジャック基板におけるインピーダンス整合をとる手段として、ストリップラインが使用されていることを特徴とする高速伝送路用中継ジャックが得られる。

【0026】更に本発明によれば、前記中継ジャック基板におけるインピーダンス整合をとる手段として、マイクロストリップ及びストリップラインが使用されていることを特徴とする高速伝送路用中継ジャックが得られ 40

【0027】

【作用】高速伝送路のインピーダンス整合をとるために、本発明は、フレキシブルプリント基板（即ち、中継ジャック基板）をマイクロストリップ或いはストリップライン等のインピーダンス整合をとる手段を用いる。

【0028】また、伝送路上の継ぎ目箇所を最小限に減らすために上記の中継ジャック基板自体をフィルム状の自由度のある基板にする。

【0029】

【発明の実施の形態】次に本発明の実施例について図面を参照して説明する。

【0030】図 1 (a) は、本発明の一実施例による高速伝送路用中継ジャックの平面図であり、図 1 (b) は、図 1 (a) の A-A 断面図である。

【0031】図 1 を参照して、本発明の一実施例による高速伝送路用中継ジャックは、フィルム状の自由度のある中継ジャック基板 11 と、この中継ジャック基板 11 に直接接続されたパッケージ側コネクタ 12 およびバックワイヤリングボード側コネクタ 13 とを有する。

【0032】中継ジャック基板 11 は、マイクロストリップやストリップラインやマイクロストリップおよびストリップラインの組合せにてインピーダンス整合をとる。

【0033】また、上記のインピーダンス整合のとれている中継ジャック基板 11 をフィルム状の自由度のある基板にし、その基板をパッケージ側コネクタ 12 とバックワイヤリングボード側コネクタ 13 に接続している。

【0034】中継ジャック基板 11 のパッケージ側コネクタ 12 およびバックワイヤリングボード側コネクタ 13 への接続箇所は、パッケージ側コネクタ 12 およびバックワイヤリングボード側コネクタ 13 の端子列と同じ形状の穴が開いており、それらの穴をパッケージ側コネクタ 12 およびバックワイヤリングボード側コネクタ 13 の端子に差し込んで半田付けを行い、中継ジャック基板 11 をパッケージ側コネクタ 12 とバックワイヤリングボード側コネクタ 13 に固定している。

【0035】以上に説明した本発明の実施例による高速伝送路用中継ジャックは、フィルム状の自由度のある中継ジャック基板 11 と、パッケージ側コネクタ 12 と、バックワイヤリングボード側コネクタ 13 とを有する。中継ジャック基板 11 は、マイクロストリップやストリップラインやマイクロストリップおよびストリップラインの組合せにてインピーダンス整合をとる。パッケージ側コネクタ 12 およびバックワイヤリングボード側コネクタ 13 は、中継ジャック基板 11 と直接接続される。

【0036】このように本実施例では、中継ジャック基板 11 を、マイクロストリップやストリップラインやマイクロストリップおよびストリップラインの組合せにてインピーダンス整合をとり、また中継ジャック基板 11 とパッケージ側コネクタ 12 との接続を線材 24 (図 2) ではなく、基板自体をフィルム状の自由度のある基板にすることにより、従来困難であったインピーダンスの整合をとることができる。

【0037】

【発明の効果】以上説明したように本発明は、中継ジャック基板のインピーダンスの整合をとり、その中継ジャック基板自体に自由度を持たせることにより伝送路の継ぎ目の数を少なくする。

50 【0038】これにより、中継ジャック自体のインピー

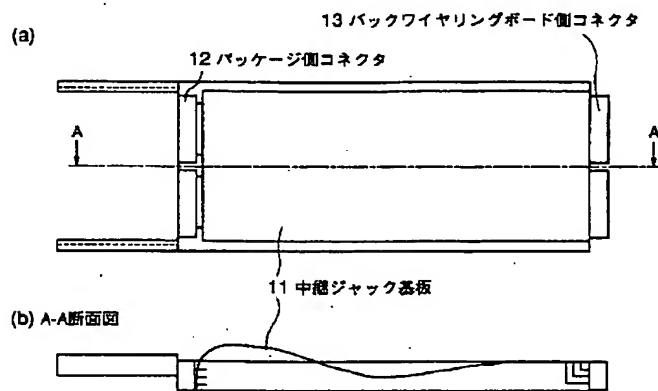
ダンスの整合を容易にとることができ、伝送信号波形劣化の主な原因であるインピーダンス不整合による反射を抑えることができる。

【0039】また、中継ジャック基板自体でインピーダンスの整合がとれることから、従来の技術のようなインピーダンス整合用回路を外部に持つこともなく、そして同軸ケーブル伝送のように伝送路の伝送本数の制限を受けることも無い。

【図面の簡単な説明】

【図1】本発明の一実施例による高速伝送路用中継ジャック10

【図1】



* ックの構成を示す図である。

【図2】従来例の構成を示す図である。

【図3】別の従来例の構成を示す図である。

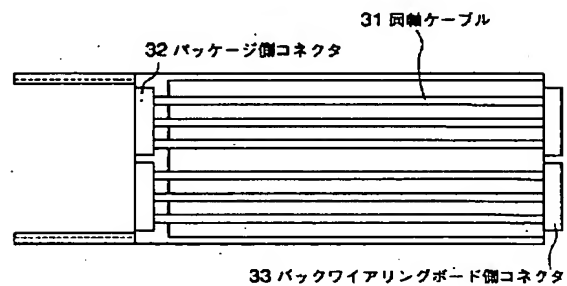
【図4】更に別の従来例の構成を示す図である。

【図5】他の従来例の構成を示す図である。

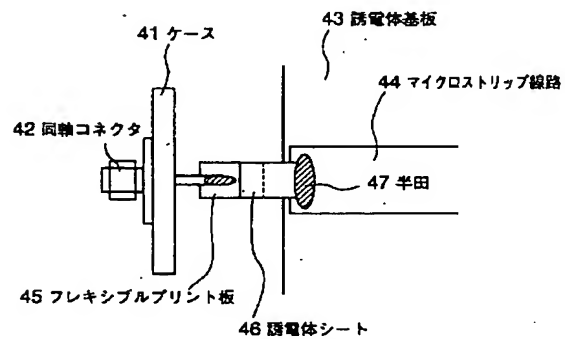
【符号の説明】

- 11 中継ジャック基板
- 12 パッケージ側コネクタ
- 13 バックワイヤリングボード側コネクタ

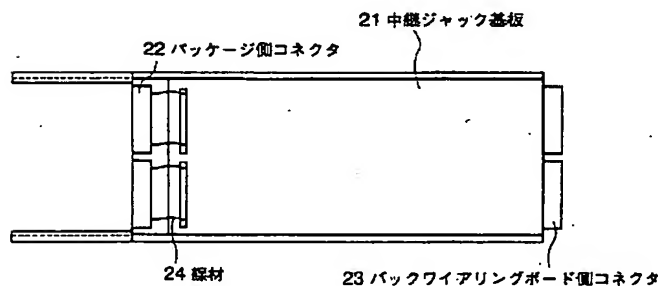
【図3】



【図4】



【図2】



【図5】

